

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-008419

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H03K 19/0175

(21)Application number : 2001-191557

(71)Applicant : NEC CORP

(22)Date of filing : 25.06.2001

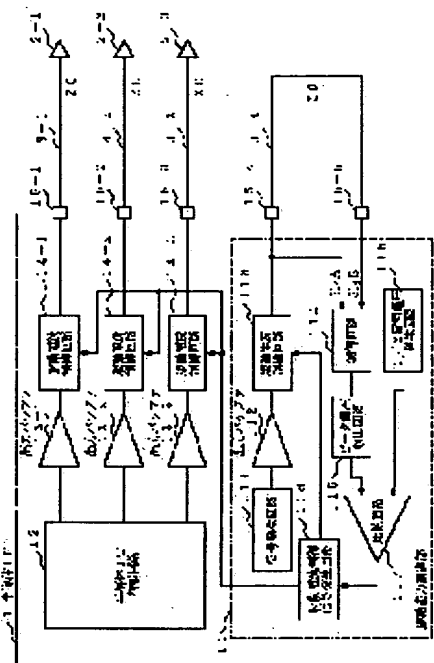
(72)Inventor : KASHIWAKURA KAZUHIRO

(54) OUTPUT IMPEDANCE MATCHING SYSTEM FOR SEMICONDUCTOR IC

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem of a conventional semiconductor IC that has had to take a complicated procedure of adjusting the impedance of an output buffer on each occasion when the characteristic impedance of a wiring pattern is in dispersion.

SOLUTION: The semiconductor IC 1 is provided with a drive current control circuit 14-1 that is placed between an output buffer 13-1 at an output of a semiconductor internal circuit 12 and a wiring pattern 3-1, a driving current control circuit 113 that is placed between an output buffer 112 and a dummy wiring pattern 3-4, a subtractor circuit 114 that calculates a digital signal difference across the dummy wiring pattern 3-4, a peak voltage detection circuit 115 that detects a peak of an output difference of the subtractor circuit 114, a comparator circuit 117 that compares the output peak detected value with a reference voltage being an output of a 1/2 power supply voltage generating circuit 116 and a driving current control signal generating circuit 118 that controls the driving current control circuits 14-1, 113 in response to an output of the comparator circuit 117.



LEGAL STATUS

[Date of request for examination]

28.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3613206

[Date of registration]

05.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

3

出力端との間に設けられ前記信号発生手段と前記第2の信号端との特性インピーダンスの整合をとる前記第1のインピーダンス整合手段と同一の第2のインピーダンス整合手段と、前記第2の信号出力端と前記信号入力端とにおける両信号波形を比較してその比較結果に基づいた第1の制御信号を出力する信号発生手段と、前記第1の制御信号に基づいて前記第1および第2のインピーダンス整合手段を駆動する第2の制御信号を発生するインピーダンス制御信号発生手段と、を備える。

【0007】本発明による半導体ICの出力インピーダンス整合方式は、第2に、前記第1および第2のインピーダンス整合手段が電界効果トランジスタである。

【0008】本発明による半導体ICの出力インピーダンス整合方式は、第3に、前記信号比較手段が、前記両信号波形の立上り部分のオーバーシュートあるいは立下り部分アンダーシュートの低周波成分を算出する減算回路を備える。

【0009】本発明による半導体ICの出力インピーダンス整合方式は、第4に、前記信号比較手段が、前記オーバーシュートの低周波成分あるいは前記アンダーシュートの低周波成分のピーク値電圧を検出するピーク値検出回路を備える。

【0010】本発明による半導体ICの出力インピーダンス整合方式は、第5に、前記信号比較手段が、前記ピーク値検出回路出力の前記ピーク値電圧を予め決められたしきい値電圧と比較してその結果を前記第1の制御信号として出力する電圧比較回路とを備える。

【0011】本発明による半導体ICの出力インピーダンス整合方式は、第6に、前記電圧比較回路が、前記しきい値電圧として電源電圧の半分の電圧を供給する1/2電圧電圧発生回路を備える。

【0012】本発明の実施の形態】次に図面を参照して説明する。

【0013】本発明の第1の実施の形態を示す図1のブロック図を参照すると、本発明の半導体ICの出力回路は、半導体IC内部回路12の出力端の出力バッファ13、3-1～3-3と、それらの出力に接続される駆動電流制御回路14-1～14-3と、それらの出力と信号出力端15-1～15-3を介して接続される記録パターン3-1～3-3と、それらの記録パターンを供給する入力バッファ2-1～2-3と、半導体IC内部回路12が出力する信号を類似的に発生する信号発生回路111と、その出力に接続される出力バッファ13-1～13-3と同一機能・特性を有する出力バッファ112と、出力バッファ112の出力インピーダンスを調整する駆動電流制御回路113と、その出力の信号発生回路111からの疑似信号を信号出力端15-4から信号入力端15-5に折り返す疑似記録パターン3-4と、疑似記録パターン3-4両端の疑似信号波形の立上り部分のオーバーシュートあるいは立下り部分のアンダーシュート

4

エートのレベル差を算出する減算回路114と、その出力の差分信号の最大値を検出するピーク電圧検出回路115と、電源電圧の半分の電圧値を発生する1/2電圧電圧発生回路116と、減算回路114出力の差分信号のピーク値と1/2電源電圧発生回路116の半分の電圧値とを比較して差分レベルとして出力する比較回路117と、その出力の差分レベルを駆動電流制御信号に変換して駆動電流制御回路14-1～14-3および駆動電流制御回路113へ供給する駆動電流制御信号発生回路118とを備える。

【0014】即ち、動作について説明する。まず、出力インピーダンスと記録パターンの特性インピーダンスとの整合性について説明する。

【0015】通常CMOS出力バッファの出力信号は、接地電位（グランド）と電源電位（電源＝VDD）である。しかし、出力バッファに記録パターンのような特性インピーダンス20の伝送線路が接続された場合、出力バッファの出力信号は、20とR0により分圧され、VDD×20/(20+R0)なる電圧レベルとなり、この電圧レベルが伝送路は、つまりここでの記録パターン上を伝搬していく。そして、その受信電圧は通常電氣的に開放であったため、入力インピーダンスが無限大で、ここで受けた信号は、送信端に向けて反射される。その反射された信号は、送信端で20とR0との関係でさらに反射が生じ、R0＝20なる条件では整合条件となるため、ここで反射波は持続する。すなわち、R0＝20が理想であり、送信端で発生する電圧は、前記式でVDD/2である必要がある。なお、信号振幅が電源電圧ままで達しない負帰帰回路の場合は、前記式のVDDの代わりにその振幅電圧を使用すれば同様の効果がある。

【0016】さらに、送信端での出力信号がVDD/2の電圧であることを検出する方法について説明する。

【0017】図4、図5および図6は、記録パターンの特性インピーダンスに比べ出力バッファの出力インピーダンスが、大きいときが図4に、同一のときが図5に、小さいときが図6にそれぞれシミュレーション結果を示している。そして、これらの図には、送信端の波形、受信端の波形、および「送信端-受信端」の減算結果の波形を示している。この「送信端-受信端」の減算結果の波形（最大値）がVDD/2と一致していることが確認できる。したがって、このピーク値と電源電圧の半分の電圧値とを比較し、この差分を制御信号として駆動電流制御回路14-1～14-3にフィードバックすれば、出力バッファ13-1～13-3の出力インピーダンスが制御可能となる。

【0018】ここで、減算回路114およびピーク電圧検出回路115は、演算増幅器実装できる。

50

5

説明する。

【0020】図3では、図1で示した駆動電流制御回路14-1～14-3として電界効果トランジスタ（FET）を用いる。このFETは、ゲート電圧に応じてドレイン・ソース間のインピーダンスが変化する素子である。また、1/2電源電圧発生回路116は電源電圧を倍分圧することにより実現でき、比較回路8は演算増幅器で実現できる。

【0021】本発明における出力バッファの駆動電流制御は、出力バッファの電源投入時に、1回実行することで、全ての出力バッファの駆動電流が自動調整されるものである。

【0022】詳述すると、信号発生器111から出力された疑似信号は、出力バッファ112および駆動電流制御回路113を通して信号出力端15-4を介して駆動能力調整用に引き出した疑似記録パターン3-4を駆動する。初期状態では、駆動電流制御回路113のインピーダンスは高め、すなわち、駆動電流が小さいが望ましい。これは、疑似記録パターン3-4の特性インピーダンスが予想より速めに大きい場合に、反射による波形の立上り部分のオーバーシュート（あるいは立下り部分のアンダーシュート）で受信側の前電圧を越える可能性があるからである。従って最初の疑似信号伝送では、図4のような波形が観測される。このとき波形sig.Aと波形sig.Bとの信号差分からピーク電圧検出回路115では、電源電圧の半分以上の電圧が保持される。このため、比較回路117では「sig.A-sig.B」>「電源電圧/2」の判定をし、駆動電流制御信号発生回路118を通じて、駆動電流制御回路113のゲート電圧を上昇させ、ドレイン・ソース間のインピーダンスを小さくしようとする。

【0023】その結果、出力バッファ112および駆動電流制御回路113を通して送達波形（sig.A）の電圧が上昇し、「sig.A-sig.B」のピーク電圧を電源電圧/2に近づけようとする。

【0024】逆に、駆動電流制御回路113のドレイン・ソース間のインピーダンスが小さく、すなわち、駆動電流が大きい場合には、比較回路117では「sig.A-sig.B」>「電源電圧/2」の判定をし、駆動電流制御回路118を通じて、駆動電流制御回路113のゲート電圧を下降させ、ドレイン・ソース間のインピーダンスを大きくしようとする。

【0025】これらの動作を繰り返すことにより、最終的には「sig.A-sig.B」=「電源電圧/2」すなわち、図5のような安定した波形を得ることができ

る。

【0026】ここで、駆動電流制御信号発生回路118に最終的な駆動電流制御回路113のゲート電圧の保持機能を持たせることにより、全ての出力バッファ13-1～13-3の駆動電流を最適化することができる。す

6

なわち、半導体IC内部回路12から出力バッファ13-1～13-3と駆動電流制御回路14-1～14-3および信号出力端15-1～15-3を通して記録パターン3-1～3-3へ出力される信号は全て最適化されることになる。

【0027】即ち、本発明の第2の実施の形態について図2を参照して説明する。

【0028】図2の第2の実施の形態は、記録パターン3-1～3-3に複数の入力バッファ2-4～2-9が接続された場合である。これらの入力バッファ2-4～2-9が多数配置パターン3-1～3-3上に接続されると、等面的に特性インピーダンスが下がることがある。そこで、疑似記録パターン3-4にも同様に入力バッファ2-10～2-11を接続することで、精度の良い駆動電流の調整が可能となる。

【0029】

【発明の効果】このように本発明によれば、出力バッファの駆動能力を実際の記録パターンの特性インピーダンスに自動的に合わせこむことにより、波形が安定し、動作速度を高進にすることが可能であるとともに、記録の特性インピーダンスを全く気にしない低価格の記録装置を行うことが可能となる。また、リソリット配線基板の記録パターンの特性インピーダンス精度のロット間のはらつきをなくするための高精度のリソリット配線基板は非常に高価になるが、本発明を利用することによりロット間のばらつきを全く気にする必要がないため、安価なリソリット配線基板を使用することができ

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体ICの出力回路を示すブロック図である。

【図2】本発明の第2の実施の形態の半導体ICの出力回路を示すブロック図である。

【図3】本発明の第1の実施の形態の半導体ICの出力回路を示す具体的なブロック図である。

【図4】同実施の形態における半導体ICの出力回路の第1の信号波形シミュレーション結果を示す波形図である。

【図5】同実施の形態における半導体ICの出力回路の第2の信号波形シミュレーション結果を示す波形図である。

【図6】同実施の形態における半導体ICの出力回路の第3の信号波形シミュレーション結果を示す波形図である。

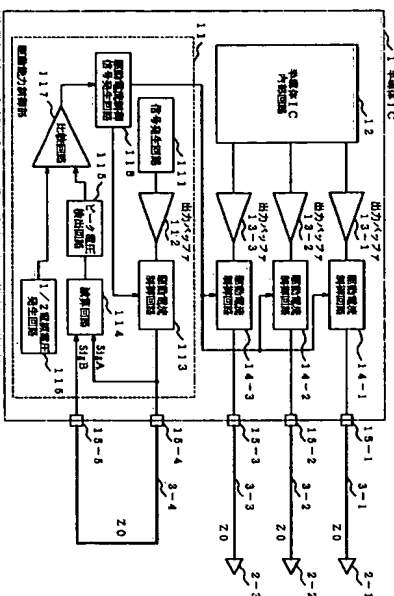
【符号の説明】

1 半導体IC
2-1～2-3 入力バッファ
3-1～3-3 記録パターン
3-4 疑似記録パターン
11 駆動能力制御部
12 半導体IC内部回路

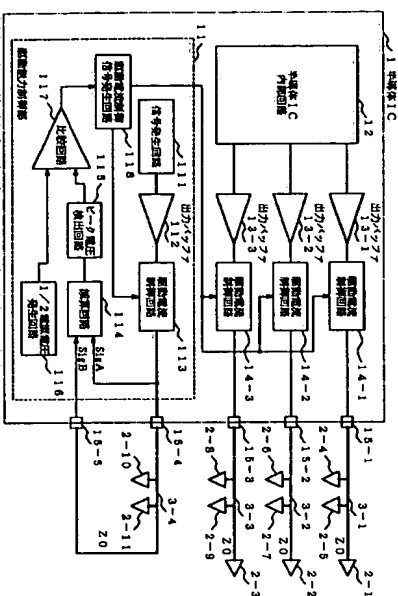
- 13-1~13-3 出力バッファ
- 14-1~14-3 駆動電流制御回路
- 15-1~15-4 信号出力端子
- 15-5 信号入力端子
- 111 信号発生回路
- 112 出力バッファ

- 113 駆動電流制御回路
- 114 減算回路
- 115 ϵ - σ 電圧検出回路
- 116 1/2電圧発生回路
- 117 比較回路
- 118 駆動電流制御信号発生回路

【図1】



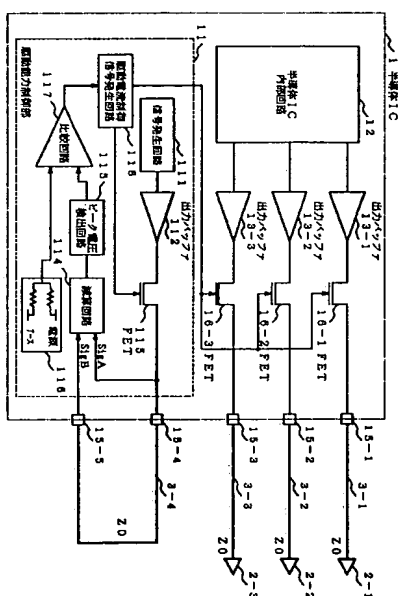
【図2】



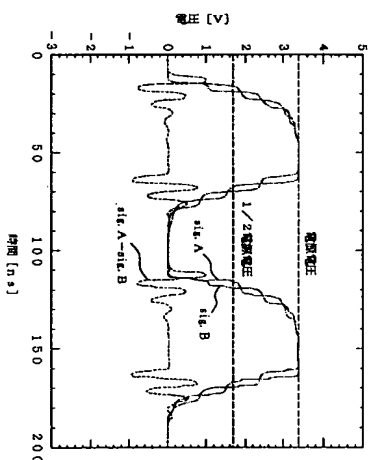
- 13-1~13-3 出力バッファ
- 14-1~14-3 駆動電流制御回路
- 15-1~15-4 信号出力端子
- 15-5 信号入力端子
- 111 信号発生回路
- 112 出力バッファ

- 113 駆動電流制御回路
- 114 減算回路
- 115 ϵ - σ 電圧検出回路
- 116 1/2電圧発生回路
- 117 比較回路
- 118 駆動電流制御信号発生回路

【図3】



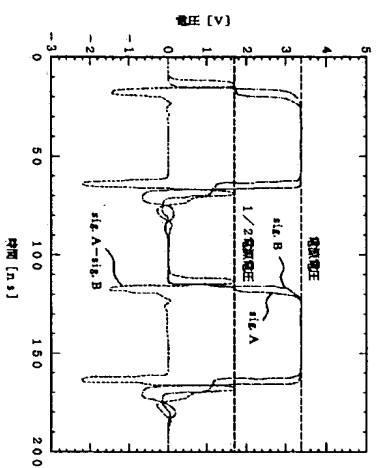
【図4】



(7)

特開 2003-8419

【図5】



【図6】

